



دانشگاه سوادکوه

پایان نامه کارشناسی  
گرایش: مخابرات

عنوان:

FPGA

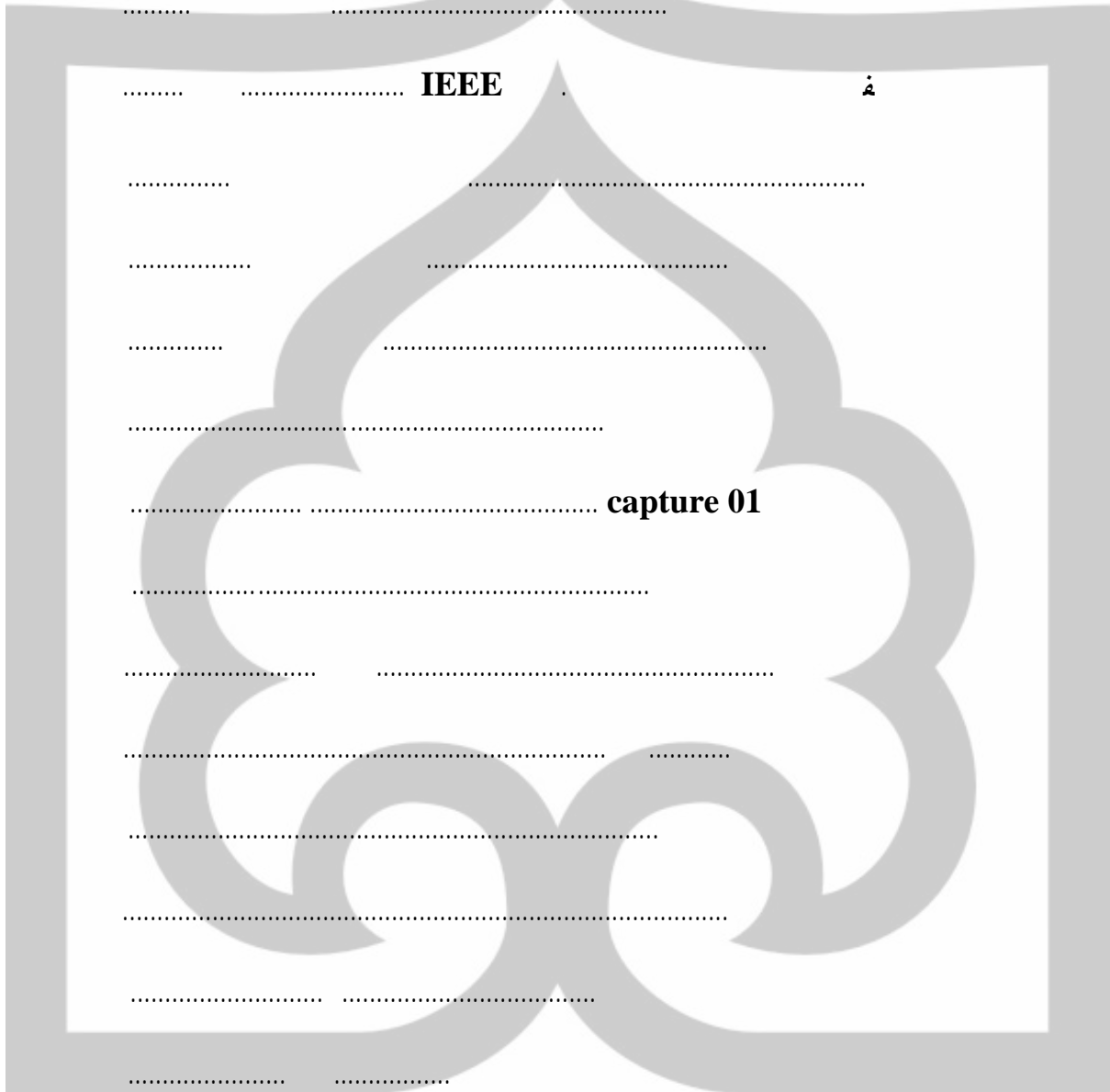
استاد راهنما:

نگارش:

.....

.....

.....



..... **IEEE** .....

.....

.....

.....

.....

..... **capture 01** .....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.. ..

.....

.....

.....

.....

..... ( BSDL )

..... BSDL

..... BSDL

..... HSDL

..... HSDL

..... HSDL

..... ( Serial Vector Format) SVF

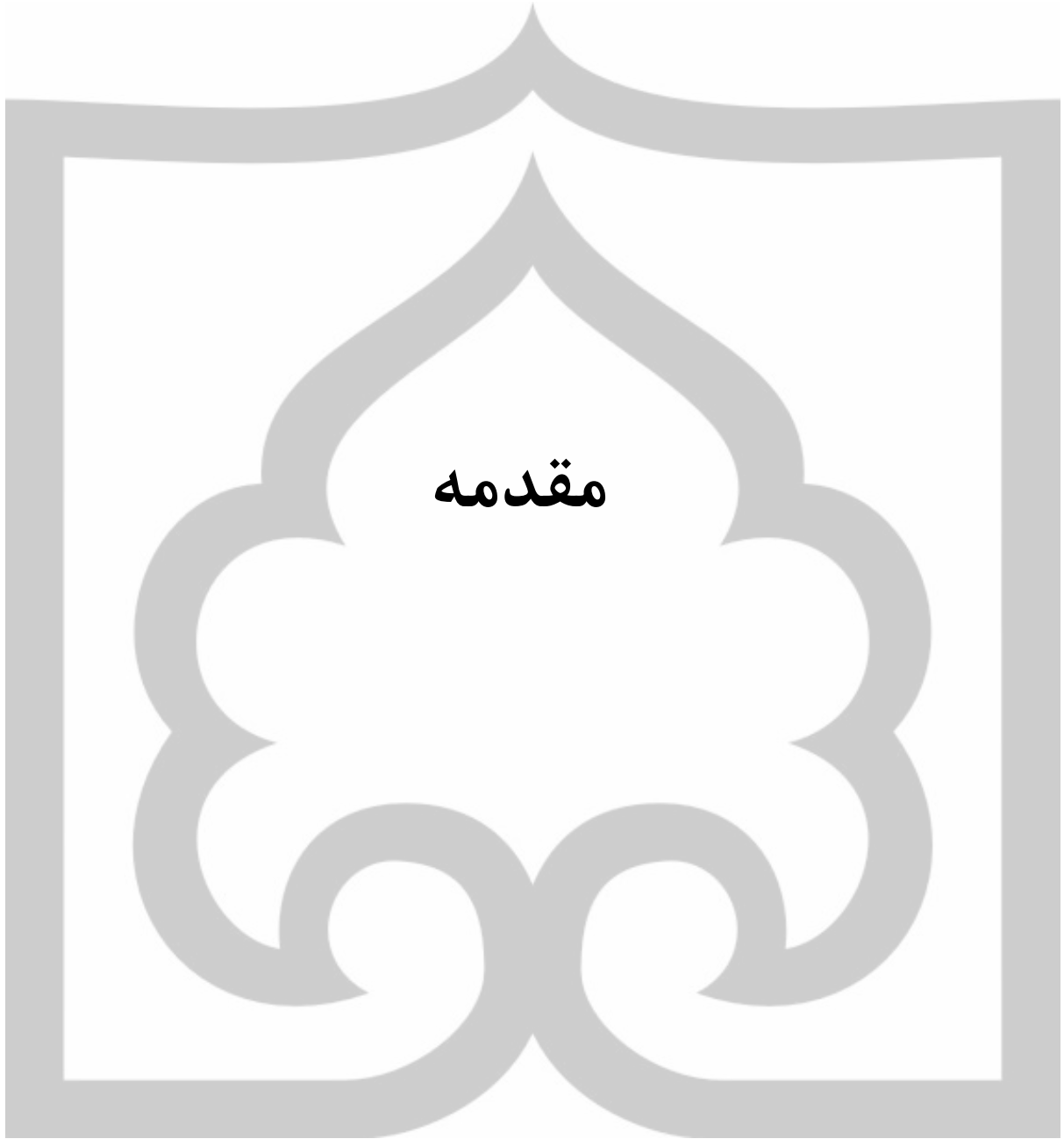
..... SVF

.....

..... AVR

.....

.....



در این پایان نامه در مورد سخت افزار تست برد در داخل IC و هم چنین زبان برنامه نویسی

مربوط با این سخت افزار که توسط شرکت های سازنده IC به مشتریان ارائه می شود توضیحاتی

آورده شده است.

اما آنچه که در این پروژه به صورت کار عملی ارائه خواهد شد مداری است ساده به عنوان

مثال یک جمع کننده هشت بیتی که با اصول و استانداردهای تعریف شده در معماری اسکن مرزی

سازگار می باشد و توسط یک میکرو کنترلر تست می شود. در حقیقت قسمت کنترلی سخت افزار

تعریف شده در اسکن مرزی در این پروژه توسط یک میکرو کنترلر پیاده سازی شده است و مدار

مورد تست توسط شبیه ساز طراحی و بر روی برد FPGA پیاده سازی شده است.

در این پایان نامه در مورد اصول اولیه طراحی اسکن مرزی نیز بحث خواهد شد. جواب

سؤال های زیر را نیز می توان در این جزوه یافت :

1) اسکن مرزی از کجا و چه زمانی آغاز شد؟

2) اسکن مرزی چه مشکلاتی را حل می کند؟

3) پیاده سازی و طراحی اسکن مرزی بر روی مدارات مجتمع چگونه است؟

## فصل اول

# دلایل استفاده از معماری اسکن مرزی

علم الکترونیک با پیشرفت بسیار سریع که در چند دهه گذشته داشته است ، در مدت زمان

بسیار کمی به سمت طراحی مدارات با ابعاد بسیار کوچک حرکت نمود . کوچک بودن ابعاد مدارهای

الکترونیکی یکی از نیازهای اساسی صنعت بوده و هست و اکنون به جرأت می توان گفت که این امر

محقق گشته است . اما ابعاد کوچک مدارها ، چیپ ها و بردهای الکترونیکی با وجود محاسن زیادی

که داشتند ، مسائلی را نیز ایجاد کردند که از آن جمله می توان به موارد زیر اشاره کرد :

1) تست اتصالات لایه های فیبر مدار : به دلیل کوچک شدن المان ها و افزایش تعداد آنها بر

روی برد ناچار فیبر های مدار چاپی در چندین لایه مختلف طراحی شدند که به روش های معمول

امکان تست صحت تمامی اتصالات وجود نداشت. (رجوع به شکل 1)

2) برنامه ریزی چیپ ها روی برد : به دلیل اینکه اغلب چیپ های قابل برنامه ریزی مانند

میکرو کنترلرها و میکروپروسورها بر روی برد لحیم کاری می شوند ، این نیاز به وجود آمد تا بدون

خارج کردن این چیپ ها از سطح فیبر آن ها را برنامه ریزی کرد .

3) اشکال زدایی روی چیپ یا OCD : سیستم OCD که در بسیاری از میکروها وجود دارد

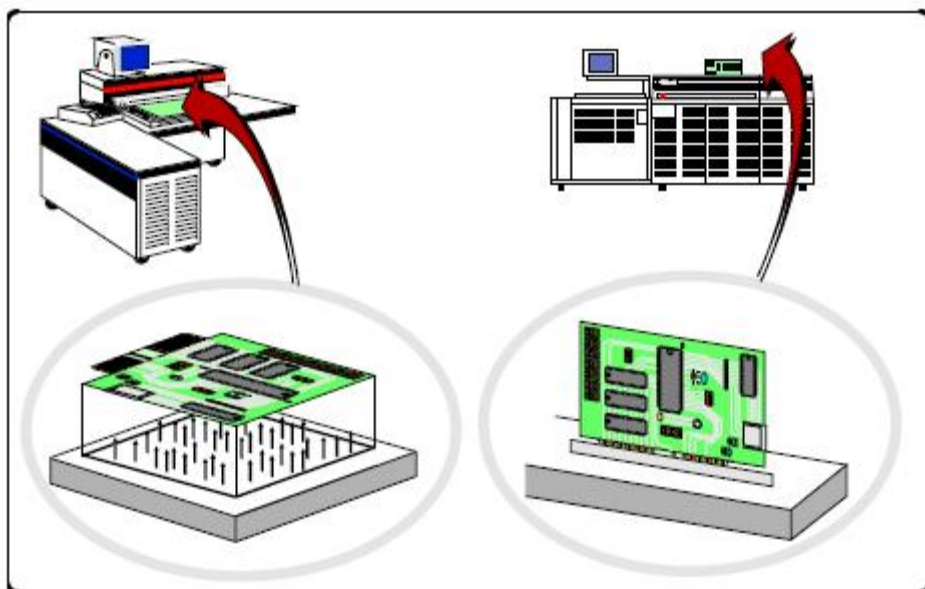
این امکان را به وجود می آورد که میکرو کنترلر را توسط نرم افزار در روی برد اصل اشکال زدایی می

کنیم . بعد از اجرای نرم افزار می توانیم داده های حاصل را توسط یک رابط خواننده و در کامپیوتر و

یا یک سیستم جانبی دیگر مشاهده کنیم . اطلاعات حاصل که از اجرای برنامه در برد اصلی به دست

آمده برنامه نویس را در جهت اشکال زدایی بهتر کمک خواهد کرد . تفاوت این نوع از اشکال زدایی با

دیگر نرم افزارهای مرتبط که فقط به صورت نرم افزاری اشکال زدایی می کنند در این است که داده های به دست آمده در این روش داده های واقعی بوده و ضعف نرم افزارهای اشکال زدایی که گاهی نتایج ناقص و یا اشتباه را در اختیار کار بر می گذارند ، وجود ندارد .



شکل 1

برای رسیدن به اهداف فوق گروهی به نام JTAG یا Joint Test Action Group در سال 1987 میلادی توسط کارخانجات الکترونیک تشکیل شد تا راهکارهای مناسب را ارائه دهد. این گروه بعد از تحقیقات طرحی را با نام JTAG ارائه که اکنون نیز به این نام مشهور است . طرح JTAG در سال 1990 توسط IEEE با عنوان استاندارد Test Access Port - 1990 - 1149/1 به تصویب رسید . بعدها مکمل هایی با عنوان های IEEE Std 1149 1a-1993 و IEEE Std 1149 .1b - 1994 به آن اضافه گردید . روش ترجیحی گروه JTAG برای حل مشکلات ذکر شده بر پایه محتوای یک سری ثباتهایی در اطراف مرز مدار بنا شده بود - نام اسکن مرزی نیز از همین جا سر چشمه گرفت .



دانشجویان محترم:

جهت دسترسی به متن کامل پایان نامه‌ها به کتابخانه دانشکده مهندسی و یا آزمایشگاه پروژه گروه برق مراجعه فرمایید.

## ضمیمه ب - مراجع

[1]. موریس مانو . طراحی دیجیتال - محمود دیانی انتشارات نص 2005

[2] . معماری کامپیوتر . موریس مانو . مترجم : محمود دیانی

[3] . میکرو کنترلر های AVR . انتشارات دیباگران

[4].Boundary scan test tutorial. Asset inter teach

