دانشکده مهندسی

گروه برق

پایان نامه کارشناسی

گرایش: الکترونیک

عنوان:

بررسی و شبیه سازی ترانزیستورهای اثرمیدانی با گیت دو ماده ای

استاد راهنما: دکتر نیره قبادی

نگارش: فاطمه مجدی

شهریور ماه سال ۱۳۹۷

سپاسگزاری

در این جا ضمن سپاس از خداوند مهربان و متعال، از استاد گرانقدرم سرکارخانم دکتر قبادی به خاطر کمک ها و راهنمایی های ارزشمندشان و هم چنین گروه برق دانشکده فنی دانشگاه زنجان تقدیر و تشکر می نمایم.

چکیده:

دراین پروژه به بررسی نوع خاصی از ترانزیستور های اثر میدانی پرداخته ایم که گیت این نوع ترانزیستور ها از دو ماده با تابع کار متفاوت که به صورت افقی به هم متصل هستند تشکیل میشود. این ساختار جدید گیت به دلیل تابع کار متفاوت گیت ها ، باعث میشود که ولتاژ ترشلد نزدیک سورس مثبتتر از قسمت درین شود . (برای ترانزیستور اثر میدانی از نوع کانال n [۱] و بر عکس برای ترانزیستور اثر میدانی از نوع کانال p [۲]) در نتیجه باعث شتاب حامل های جریان در کانال میشود و به دلیل پلکانی شدن پتانسیل در طول کانال مانع از اثر کانال کوتاه [۳] میشود.

ما یک مدل تحلیلی دو بعدی از ترانزیستور اثر میدانی با گیت دو ماده ای [۴] برای کاهش اثر سد القایی درین[5] را بررسی میکنیم که دو گیت فلزی از ماده های متفاوت در یک گیت ترکیب شده اند . ترتیب از این قرار است که تابع کار فلز گیت نزدیک به سورس ، بیشتر از نزدیک به درین است . در مدل توسعه یافته ، پتانسیل در امتداد کانال را تابعی پله ای پیش بینی میکنیم که تغییر پتانسیل درین توسط گیت نزدیک به درین حائل و پنهان میشود را تضمین میکند. اختلاف کوچک در ولتاژ باعث میشود که ماده گیت متفاوت میدان الکتریکی در امتداد کانال را یکنواخت نگه دارد که به نوبه خود راندمان جریان بارها را بهبود میبخشد . نسبت طول های گیت دو ماده میتواند به همراه تابع کار فلز و ضخامت اکسید برای کاهش اثر الکترون داغ بهینه شود . این ساختار جدید ترانزیستور را توسط مقایسه با نتایج شبیه سازی شده با استفاده از یک شبیه ساز به نام ATIAS در مورد طیف گسترده ای از پارامتر های دستگاه و شرایط بایاس تحقیق و بررسی میکنیم.

ابتدا در فصل اول به معرفی این ترانزیستور ها میپردازیم سپس در فصل دوم تئوری این ترانزیستورها و چگونگی ساختار و شکل گیری ترانزیستور دو ماده ای را بررسی میکنیم و به شبیه سازی این نوع ترانزیسورها در نرم افزار SILVACO و بررسی ویژگی های آن میپردازیم . در فصل سوم نیز به مدل سازی وتحلیل دو بعدی پتانسیل توسط حل معادله پواسون میپردازیم.

---

[1] n-channel mosfet
[2] p-channel mosfet
[3] short channel
[4] DMGMOSFET
[5] DIBL-drain induced barrier lowering

فهرست مطالب

فصل اول

مقدمه ۸

فصل دوم

۲-۱ ساختار و قاعده اصلی ترانزیستور اثر میدانی با گیت دو ماده ای........................ ۱۴

۲-۲ نتایج شبیه سازی کامپیوتری DMGMOSFET ۱۵

۲-۲-۱ بهبود راندمان انتقال حامل های جریان ۱۵

۲-۲-۲ جلوگیری از اثر کانال کوتاه ۱۸

۲-۳ مشخصه های DMGMOSFET ۲۲

۲-۳-۱ مشخصه I-V ۲۲

۲-۳-۲ ضریب هدایت متقابل........................ ۲۴

۲-۳-۳ رسانایی درین........................ ۲۵

۲-۴ راهنمای طراحی DMGMOSFET ۲۶

۲-۴-۱ ولتاژ آستانه V_T ۲۶

۲-۴-۲ تابع کار متفاوت ΔW ۲۶

۲-۴-۳ نقش طول دو ماده گیت........................ ۲۶

فصل سوم

۳-۱ قاعده مدل سازی ۲۹

۳-۱-۱ تحلیل دو بعدی پتانسیل........................ ۲۹

۳-۱-۲ کاهش سد القایی درین..۳۳

۳-۲ بررسی و مشاهدات ۳۵

فصل چهارم

جمع بندی...۴۲

مراجع...۴۳

فهرست تصاویر

شکل ۲-۱ تصویر شبیه سازی شده از ساختار DMGMOSFET در محیط atlas.......................

شکل۲-۲)میدان الکتریکی در راستای طول گیت در DMG با طول گیت های برار با 0.5µm.......

شکل ۲-۳)پراگندگی سرعت الکترون ها در راستای طول گیت DMG...

شکل ۲-۴) جریان درین بر حسب ولتاژ درین به ازای ولتاژهای مختلف گیت درSMG ....

شکل ۲-۵) جریان درین بر حسب ولتاژ درین به ازای ولتاژهای مختلف گیت در DMG..................

شکل ۲-۶)پتانسیل کانال به ازای ولتاژ درین 0.5v در DMG...

شکل ۲-۷)پتانسیل کانال به ازای ولتاژ درین 2v در DMG..

شکل۲-۸)پتانسیل کانال به ازای ولتاژ درین 3v در DMG...

شکل۲- ۹)نمودار جریان بر حسب ولتاژ گیت در SMG..

شکل۲- ۱۰)نمودار جریان بر حسب ولتاژ گیت در DMG...

شکل۲- ۱۱) ضریب هدایت g_m برای dmg به ازای ولتاژهای مختلف درین..................................

شکل۲- ۱۲) ضریب هدایت g_m برای Smg به ازای ولتاژهای مختلف درین...................................

شکل۲- ۱۳)نمودار I-V در ولتاژ گیت 1.1v الف)طول گیت ها به ترتیب L_1=0.5 L_2=0.5 ب)طول گیت ها به ترتیب L_1=0.25 L_2=0.75 ....

شکل۲- ۱۴) نمودار I-V در ولتاژ گیت2.2v الف)طول گیت ها به ترتیب L_1=0.5 L_2=0.5 ب)طول گیت ها به ترتیب L_1=0.25 L_2=0.75 ....

شکل ۳-۱) شبیه سازی ترانزیستور اثر میدانی دو گیتی توسط نرم افزار athena......................

شکل ۳-۲) منحنی جریان بر حسب ولتاژ گیت به ازای مقدارهای مختلف ولتاژ درین برای *SMGMOSFET*...

شکل ۳-۳)منحنی جریان بر حسب ولتاژ گیت به ازای مقدارهای مختلف ولتاژ درین برای *DMGMOSFET*...

شکل ۳-۴) پتانسیل در طور کانال SMG...

شکل ۳-۵) پتانسیل در طول کانال DMG **با طول گیت های** L_2=0.5 L_1=0.5......................

شکل ۳-۶) پتانسیل در طول کانال DMG **با طول گیت های** L_2=0.7 L_1=0.3.....................

شکل ۳-۷) پتانسیل در طول کانال DMG **با طول گیت های** L_2=0.3 L_1=0.7 ....

شکل ۳-۸) پتانسیل در طول کانال DMG **با** V_{SUB}=2v...

فصل اول

مقدمه

ترانزیستور های اثر میدانی با سرعت و کارآیی بالا از جمله ترانزیستورهای فلز-اکسید-رسانا [1]، ترانزیستورهای پیوند [2]،فلز-رسانا [3]، ساختار بلوک مدارهای مجتمع با کارایی و سرعت بالا و چگالی بالا هم در آنالوگ و هم در صنایع دیجیتال مورد کاربرد هستند. در این ترانزیستور ها اعداد و ارقام ارزشمند از قبیل ضریب هدایت متقابل بالا و رسانایی کوچک درین و F_t و F_{max} بالا مورد نیاز است.

در طول دهه گذشته ، با استفاده از طراحی پیشرفته ، استفاده از مواد با کیفیت بالا و مهمتر از همه کاهش طول گیت ، سرعت بالا و کارایی عالی بدست آمده است. با این وجود دو مشکل عمده وجود دارد : اثر کانال کوتاه [4]و بهره وری پایین در انتقال حامل های جریان در گیت [۱].

اثر کانال کوتاه زمانی رخ میدهد که طول گیت به اندازه عمق کانال کاهش می یابد. ویژگی های غالب آن کمبود ولتاژ تنجیدگی [5]و اشباع (بخاطر زیاد شدن هدایت درین) و نشت زیاد جریان (تغییر در ولتاژ آستانه و وابستگی ولتاژ استانه به ولتاژ درین به علت کاهش مانع ناشی از درین) است [۲][۳] . این پدیده قبلا در چند مورد ترانزیستور دیده شده است (به عنوان مثال [۴]) . ثابت شده است که ساختار ترانزیستور گیت دو ماده ای یک وسیله موثر به دلیل حائل و پنهان شدن ولتاژ درین توسط گیت دوم با بایاس DC ، برای غلبه بر اثرات کانال کوتاه است . با این حال ترانزیستور گیت دو ماده ای در جهت انتقال دادن الکترونها بازده ای خوبی ندارد . بازده انتقال الکترون در گیت وابسته به میانگین سرعت انتقال الکترون در طول کانال است . سرعت این جابجایی به پراکندگی میدان الکتریکی در طول کانال وابسته است .

---

1 MOSFET

2 JFET

3 MESFET

4 short channel

5 pinchoff

در یک ترانزیستور اثر میدانی الکترونها باسرعت اولیه کم وارد کانال میشوند و به تدریج با شتاب بیشتر به سمت درین حرکت میکنند . شبیه سازی های عددی که از ترانزیستور شده ، نشان میدهد که حداکثر سرعت رانش الکترونها در نزدیکی رسیدن به درین است . الکترونها در ناحیه نزدیکی درین بسیار سریع حرکت میکنند اما در ناحیه سورس نسبتا آهسته هستند . بنابراین سرعت دستگاه از سرعت رانش الکترون نسبتا کند در کانال در نزدیکی سورس تأثیر میگیرد .

بیش از ۳۰ سال ، صنعت IC دائما به دنبال این است که هندسه های دستگاه را کاهش داده و اندازه تراشه را افزایش دهد . در طول سالها روشهای مختلفی برای کاهش مقادیر میدان مغناطیسی ثابت MOSFET پیشنهاد شده است . با این حال ، به علت پیشرفت سریع در تکنولوژی لیتوگرافی ، سرعت در ابعاد فیزیکی کاهش یافته است ، ولتاژ در دستگاه کاهش یافته است . این منجر به افزایش میدان الکتریکی میشود که به نوبه خود باعث افزایش جریان و تزریق الکترون داغ به گیت میشود . [۵] – [۱۲]

تزریق الکترونی داغ با استفاده از ساختار های مهندسی درین که در آن پیک میدان الکتریکی در درین کاهش می یابد به حداقل می رسد و در همان زمان در ناحیه ای در نزدیکی n^+ درین تغییر می یابد . پیک میدان الکتریکی در زیر گیت دارای منافع و مزیت هایی است همچون افزایش طول عمر دستگاه ، به حداقل رساندن توانایی بارهای متمرکز شده برای افزایش مقاومت [۱۳] درین و کنترل بیشتر گیت بر روی ضریب هدایت کانال به منظور افزایش راندمان انتقال گیت . بنابراین یک ساختاری مورد نیاز است که میدان الکتریکی در درین و پیک خطوط میدان الکتریکی تحت گیت را کاهش دهد . برای افزایش میانگین سرعت الکترونها در طول کانال ، در سال ۱۹۸۹ Shur [۱۴] یک ترانزیستور اثر میدانی جدید را پیشنهاد کرد . نوسان ولتاژ (اختلاف میان ولتاژ گیت و ولتاژ ترشلد) گیت در امتداد کانال متغیر است به طوری که حامل های جریان سریع تر شتاب میگیرند و سرعت متوسط حامل های جریان در کانال افزایش میابد . این را میتوان با هر یک از موارد زیر بدست اورد : ایجاد ولتاژ آستانه به عنوان یک عملکرد از موقعیت یا استفاده از یک ساختار دستگاه جدید که گیت آن به صورت دو قطعه جدا از هم است [1] .

[1] split-gate (SGMOSFET)

اگر ولتاژ گیت مثبت ، بیشتر در نزدیکی اطراف درین اعمال شود پس پراکندگی میدان الکتریکی در طول کانال تغییر میکند به طوری که میدان الکتریکی نزدیک سورس بزرگتر میشود و به موجب آن راندمان انتقال در گیت افزایش میابد .

فهمیدن ساختار SGMOSFET نکته سختی نیست اما ظرفیت خازنی بین دو گیت فلزی افزایش می یابد به طوری که فاصله بین آنها کاهش می یابد و عملکرد دستگاه را کاهش میدهد . اما این مورد قابل اصلاح و تصحیح می باشد اگر فاصله بین دو گیت به حداقل مقدار یعنی صفر برسد ، ولی این منجر به ساختار یگ گیت متعارف میشود . در سال ۱۹۹۹ ، Long [۱۵] یک ساختار جدید گیت را پیشنهاد کرد به نام ترانزیستور اثر میدانی با گیت دو ماده ای [1]. در DMG تابع کار فلز گیت اول بزرگتر از گیت دوم است، $\Phi_{M1}>\Phi_{M2}$ و از این رو ولتاژ ترشلد به صورت $V_{T1}>V_{T2}$ میشود که مزیت ذاتی بهبود بهره وری انتقال گیت توسط الگوی میدان الکتریکی و مشخصات پتانسیل سطح در امتداد کانال است.

مشخصات پتانسیل پله ای به دلیل تابع کار متفاوت دو گیت فلزی ، کاهش اثر کانال کوتاه و پنهان کردن تغییرات پتانسیل درین کانال در زیر ناحیه گیت اول را تضمین میکند . فراتر از اشباع ، گیت دوم هرگونه اضافه ولتاژ درین – سورس را جذب میکند و از این رو ناحیه گیت اول از تغییرات پتانسیل درین پنهان و پوشیده میشود . Polishchuk [۱۶]ساخت نوعی DMG-MOSFET راپیشنهاد میکند .

انتخاب مواد گیت برای دستگاه CMOS زیر nm ۱۰۰ برای آینده یک چالش بزرگ است . الکترودهای گیت پلی سیلیکون که در طول سالها ست استفاده میشود ، چالش های مهمی را بوجود می آورد و کاهش ضریب خازنی معادل عایق گیت مانع اصلی در استفاده از آن برای تکنولوژی cmos بیش از ۱۰۰ نانومتر است . با افزایش سطح دوپینگ در پلی سیلیکون میتوان عرض ناحیه تخلیه پلی سیلیکون وابسته به گیت های پلی سیلیکون را محو کرد ، اما انتشار خارجی ناخالصی از پلی سیلیکون از طریق عایق نازک گیت به سیلیکون محدودیتی را برای استفاده آنها در دستگاه های فوق نازک دارد[۱۷] [۱۸] در حالی که گیت فلزی اساسا تخلیه گیت را از بین میبرد و در نتیجه

[1] DMG-MOSFET

ضخامت معادل خازنی [1] در حد چندین انگستروم (واحد اندازه گیری طول امواج) کاهش میابد.بنابراین ، گیتهای فلزی گزینه مناسبی برای جایگزینی گیتهای پلی سیلیکون در دستگاه های فوق نازک است . هر چند ایده اصلی این است که چنین فلزاتی داشته باشیم که تابع کار خود را در نزدیکی لبه نوار هدایت و یا در نزدیکی لبه نوار ظرفیت دارند . [۱۹]

در نتیجه ی کاهش طول گیت دو مشکل وجود دارد :

۱) اثر کانال کوتاه [2]
۲) راندمان انتقال گیت

ساختار گیت دوگانه به دلیل حائل شدن ولتاژ درین توسط گیت دوم با یک بایاس dc بر اثر کانال کوتاه غلبه میکند همان طور که در بالا به تفصیل توضیح داده شده . ولی این راندمان انتقال الکترونها را بهبود نمیخشد.

ترانزیستور با گیت های جدا از هم [3] راندمان انتقال گیت را افزایش میدهد ، اما ظرفیت خازنی ذاتی بین دو گیت برای کارآیی سریع و بالا دستگاه مضر است. بنابر این هر کدوم از دو ساختار نام برده شده در بالا هر دوی راندمان انتقال گیت و اثر کانال کوتاه را بهبود میبخشند. DMG بر مشکل ظرفیت خازنی حاشیه ای چیره میشود به عنوان دو گیت به سمت جانبی به یک گیت متصل میشود. در DMG میدان الکتریکی متوسط در کانال افزایش یافته است و از این رو سرعت الکترون نزدیک به سورس باعث بهبود کارایی حمل و نقل حامل های جریان کلی میشود.

تا به امروز ، دو روش کلی نزدیک شدن برای مدل سازی مشخصات پتانسیل سطح استفاده شده است ، طرح میدان الکتریکی و تماس آنها در ولتاژ ترشلد . یکی از این روشها شبیه سازی عددی دو بعدی (2-D) است [۲۰] . رویکرد دیگر توسعه یک راه حل تحلیلی است ؛ با استفاده از روش به اشتراک گذاری شارژ [۲۱][۲۲] یا حل معادله پواسون در منطقه تخلیه [۲۳] –[۲۵] .

---

[1] CET-capacitance equivalent thickness

[2] SCE-short channel effect

[3] SG-MOSFET

در این پروژه ما سعی کردیم که خواص این ساختار به ویژه تابع پله ای در مشخصات پتانسیل که به ما اجازه میدهد تا از سود و منفعت حمل و نقل بالستیک و بیش از حد MOSFET استفاده کرده و به کار ببریم را توضیح دهیم [۲۶].

نتایج مدلها توسط مقایسه آنها با نتایج شبیه سازی شده حاصل از شبیه ساز دو بعدی ATLAS [۲۷] در طیف گسترده ای از پارامترهای قطعه و وضعیت های مختلف بایاس ، تحقیق و مورد بررسی قرار میگیرد . مشخصه های DMG-MOSFET با SMG-MOSFET معمولی متناظر خود مقایسه میشود و مورد بررسی قرار میگیرد .

دانشجویان محترم:

جهت دسترسی به متن کامل پایان نامه‌ها به کتابخانه دانشکده مهندسی و یا آزمایشگاه پروژه گروه برق مراجعه فرمایید.

فصل چهارم

جمع بندی

ساختار DMG مورد تجزیه و تحلیل قرار گرفته و بهبود عملکرد آن بر روی SMG متعارف مورد بحث قرار گرفته است . از نتایج معروف آن میتوان نتیجه گرفت که نتایج بدست آمده برای پتانسیل الکتریکی و میدان الکتریکی برای DMG در توافق خوب با نتایج شبیه سازی هستند . از مدل تحلیلی و نتایج شبیه سازی واضح است که ساختار DMG طیف گسترده ای از مزایای عملکرد MOSFET را دارد . مشخصات تابع پله ای در پتانسیل سطح بهبود در غربالگری تغییرات پتانسیل درین و کاهش اثر کانال کوتاه را نشان میدهد . پیک پراکندگی میدان الکتریکی ، زیر گیت در امتداد کانال یکنواختی در میانگین سرعت رانش الکترون ها در کانال را تضمین میکند . بعلاوه ، تغییر در نقطه صفر میدان الکتریکی نزدیک به سورس در ساختار DMG بسیار ناچیز تر از ساختار معمول SMG است . میدان الکتریکی در درین میتواند کاهش یابد اگر اختلاف تابع کار دو فلز گیت بزرگ باشد و به نوبه خود احتمال پیوند الکترونهای داغ در انتهای درین را کاهش میدهد . نسبت طول دو گیت فلزی میتواند با مشخصات دوپینگ نامتقارن در طول کانال برای نسل آینده دستگاه های مقاوم در برابر مقاومت الکترون داغ با طول زیر 10nm بهینه سازی کرد . این نوع ساختار جدید ترانزیستور های اثر میدانی همواره جریان عبوری از درین را افزایش میدهد و این مطلوب ما از این تحقیقات است .

مراجع

[1] Wei Long, Haijiang Ou, Jen-Min Kuo, and Ken K.“Dual-Material Gate (DMG) Field Effect Transistor” IEEE Transactions on electron devices ,vol. 46,no. 5, may 1999.

[2]Y.awano,M.kosngi, K.kosemura, T.mimura, and M.abe, “Short-channel effects in subquarter-micrometer-gate HEMT’s:simulation and expriment” IEEE Travs. Electron devices, vol.36, p. 2260, oct. 1989.

[3]U.K.Mishra. Brown, and S.E.Rosenbaum, “DC and RF performance of 0.1-mm gate length $Al_{0.48}As/Ga_{0.47}In_{0.53}As$ pseudomorphic HEMT,” in IEDM Tech. Dig . 1988,p.180.

[4] L.D.Nguyen,A.S.Brown, M.A.Thompson, and L.M.Jelloian, “50-nm self aligned gate pseudomorphic AlInAs/GaInAs high electron mobility transistors,” IEEE Trans.electron devices,vol.39, p. 2007,Sept. 1992.

[5] S. Miller, “Ionization rates for holes and electrons in silicon,” Phys. Rev., vol. 105, pp. 1246–1249, 1957.

[6] H. L. Armstrong, “A theory of voltage breakdown of cylindrical p-n junction with application,” IRE Trans. Electron Devices, vol. ED-4, pp. 15–16, 1957.

[7] E. Takeda, H. Kume, T. Toyabe, and S. Asai, “Submicron MOSFET structure for minimizing channel hot electron injection,” IEEE Trans. Electron Devices, vol. ED-26, pp. 22–23, 1979.

[8] H. Mikoshiba, T. Horiuchi, and K. Hamano, “Comparison of drain structures in n-channel MOSFETs,” IEEE Trans. Electron Devices, vol. ED-33, pp. 140–144, Jan. 1986.

[9] A. Kumar, E. Kalra, S. Haldar, and R. S. Gupta, “A newanalytical model to determine the drain-source series resistance of FOLD MOSFETs,” Semicond. Sci. Technol., vol. 14, no. 6, pp. 489–495, 1999.

[10] S. Oguru, P. Tsang, W. Walker, D. Critchlow, and J. Shepard, “Design and characteristics of the lightly doped drain-source (LDD) insulated gate field-effect transistor,” IEEE Trans. Electron Devices, vol. ED-27, pp. 1359–1367, 1980.

[11] Y. Matasumoto, T. Higuchi, S. Sawada, S. Shinozaka, and O. Ozawa, "Optimized and reliable LDD structure for 1 micrometer NMOSFET," in IEDM Tech. Dig., 1983, pp. 392–395.

[12] S. Oguru, P. Tsang,W. Walker, D. Critchlow, and J. Shepard, "Elimination of hot electron gate by the lightly doped drain-source structure," in IEDM Tech. Dig., 1981, pp. 654–656.

[13] F. Hsu and H. Grinolds, "Structure-enhanced MOSFET degradation due to hot electron injection," IEEE Trans. Electron Device Lett., vol. EDL-5, pp. 71–74, 1984.

[14] M. Shur, "Split-gate field-effect transistor," Appl. Phys. Lett., vol. 54, pp. 162–164, 1989.

[15] W. Long, H. Ou, J.-M. Kuo, and K. K. Chen, "Dual material gate (DMG) field-effect transistor," IEEE Trans. Electron Devices, vol. 46, pp. 865–870, May 1999.

[16] I. Polihchuk, P. Ranade, T. J. King, and C. Hu, "Dual work function metal gate CMOS technology using metal inter-diffusion," IEEE Electron Device Lett., vol. 22, pp. 444–446, Sept. 2001.

[17] S. Horiuchi and J. Yamaguchi, "Diffusion of boron in silicon through oxide layer," Jpn. J. Appl. Phys., vol. 1, pp. 314–323, 1962.

[18] J. R. Pfiester, L. C. Parrilo, and F. K. Baker, "A physical model for boron penetration through thin gate oxide from P polysilicon gates," IEEE Electron Device Lett., vol. 11, pp. 247–249, 1990.

[19] J. D. Plummer and P. B. Griffin, "Material and process limits in silicon VLSI technology," Proc. IEEE, vol. 89, pp. 240–258, Mar. 2001.

[20] L. A. Greenfield and R. W. Dutton, "Nonplanar VLSI device analysis using the Poisson's equation," IEEE Trans. Electron Devices, vol. ED-27, pp. 1520–1532, 1980.

[21] H. S. Lee, "An analysis of the threshold voltage for short-channel IGFETs," Solid State Electron., vol. 16, pp. 1407–1417, 1973.

[22] G. W. Taylor, "Subthreshold conduction in MOSFETs," IEEE Trans. Electron Devices, vol. ED-25, pp. 337–350, 1978.

[23] T. Toyabe and S. Asai, “Analytical models of threshold voltage and breakdown voltage of short-channel MOSFETs derived from the two-dimensional analysis methods,” IEEE Trans. Electron Devices, vol. ED-26, pp. 453–461, 1979.

[24] D. R. Poole and D. L. Kwong, “Two dimensional analysis modeling of threshold voltage of short-channel MOSFETs,” IEEE Electron Device Lett., vol. EDL-5, pp. 443–446, 1984.

[25] J. D. Kendall and A. R. Boothroyd, “A two-dimensional analytical threshold voltage model for MOSFETs with arbitrarily doped substrate,” IEEE Electron Device Lett., vol. EDL-7, pp. 401–403, 1986.

[26] Manoj Saxena, Subhasis Haldar, Mridula Gupta, “Physics-Based Analytical Modeling of Potential and Electrical Field Distribution in Dual Material Gate (DMG)-MOSFET for Imporoved Hot Electron Effect and Carrier Transport Efficiency”IEEE Transactions on electron devices ,vol. 46,no. 11, nov 2002.

[27] ATLAS: 2-D Device Simulator, SILVACO International.

[28] S.M.Sze,Physics of semiconductor Devices. New York:Wiley, 1981.

[29] K.K.Chin, Ph.D.dissertation, Dept. appl. Phys, Stanford univ.stanford, CA, 1986.

[30] K. Suzuki, “Short-channel MOSFET using a universal channel depletion width parameter,” IEEE Trans. Electron Devices, vol. 47, pp.1202–1208, June 2000.